

DENEY 2: FLİP-FLOPLAR

Bu deneyde, çeşitli flip-flop devreleri kurulacak ve incelenecektir.

Kullanılan Elemanlar

74HC73 (JK flip-flop), 74HC74 (D flip-flop), LM555 Entegresi, 2 x 4.7 kOhm, 100 kOhm, 3 x 330 ohm, 3 x Led, 10 µF elektrolitik kondansatör, 100 nF kondansatör

Teorik Bilgiler

Lojik devreler, kombinasyonel (combinational) ve ardışıl (sequential) olmak üzere 2 bölümde incelenebilir. Kombinasyonel devrelerde, herhangi bir andaki çıkış, sadece o andaki girişler tarafından belirlenir. Önceki çıkış değerlerinin sonraki çıkışa hiçbir etkisi söz konusu değildir. Ardışıl devrelerde ise bir önceki çıkış, mevcut girişlerle birlikte sonraki çıkışı tayin eder. Başka bir deyişle ardışıl devrelerin bellek özelliği vardır. Yani çıkışları tutar ve giriş olarak da kullanılabilir.

Ardışıl devrelerde kullanılan devre elemanları mandal (latch) veya Flip-Floplardır. Bu devre elemanları üzerindeki binary bir bilgiyi saklayabilen hücrelerdir. Bir mandal veya flip-flopun, saklanan bilgiyi ve saklanan bilginin değilini gösteren iki ayrı çıkışı vardır.

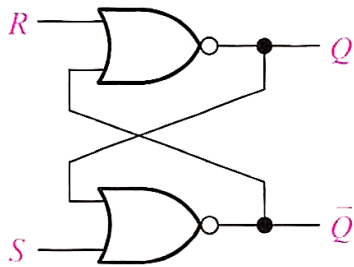
Flip-floplar başlıca 4 çeşittir. Bunlar;

- RS flip-flop
- JK flip-flop
- D flip-flop
- T flip-flop

RS Mandalı (Latch)

RS mandalı, NAND kapılarıyla da NOR kapılarıyla da gerçekleştirilebilir. Aşağıda NOR kapılarıyla gerçekleştirilmiş RS mandalı gösterilmektedir.

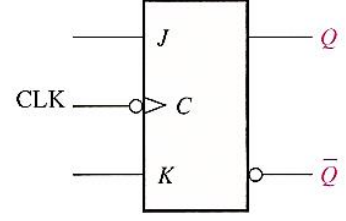
S = 1, R = 1 girişleri verilmemelidir, bu durumda çıkışlar tanımsızdır veya yasaktır. S = 0, R = 0 girişleri verildiğinde ise çıkış bir önceki değerini korur.



Girişler		Çıkışlar		Durum
S	R	Q_{n+1}	\bar{Q}_{n+1}	
0	0	Q_n	\bar{Q}_n	Değişme yok
0	1	0	1	Silme
1	0	1	0	Kurma
1	1	0	0	Tanımsız

JK Flip-flop

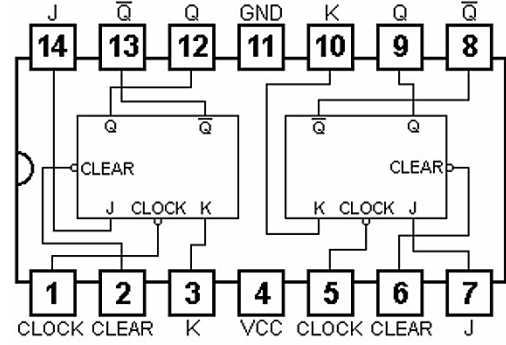
JK flip-flopta, RS flip flop gibi iki giriř vardır. J giriři RS FF'nin "Kur" giriři, K ise RS FF' un "Sıfırla" giriři gibi düşünülebilir. JK FF'in RS FF'den tek farkı J=1, K=1 durumunda belirsizlik olmamasıdır. Bu durumda çıkıř, bir önceki çıkıřın tersi olmaktadır. Yani J=1, K=1 olduđunda çıkıř "0" ise "1", "1" ise "0" olmaktadır. Diđer durumlarda ise JK FF'nin çıkıřları RS FF gibidir. řekilde düşen kenar tetiklemeli JK flip-flop lojik sembolü gösterilmiřtir.



74HC73 JK Flip-flop Entegresi

řekilde 74HC73 entegresinin pin diyagramı verilmiřtir. Entegrede iki tane birbirinden bađımsız JK flip-flopu vardır. Bunlar negatif(düşen) kenar tetiklemeli flip-floplardır. Sadece clock (CLK) giriřinin yüksekten (H, 1) alçađa (L, 0) geçiřinde çıkıřlar deđiřebilmektedir.

CLEAR temizlemek anlamındadır. Deđillenmiř olduđundan CLR = 0 olduđunda Q çıkıřı sıfırlanır. Bu durumda Q = 0, Q' = 1 olur.

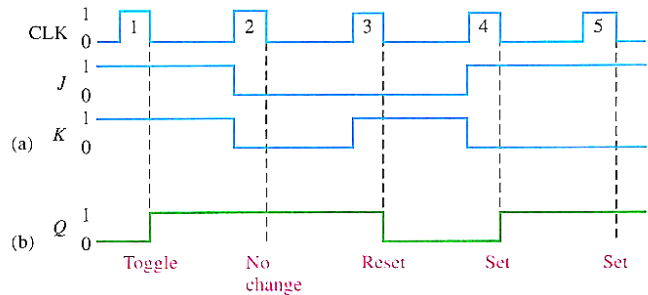


Ařađıdaki dođruluk tablosu incelenirse řu sonuřlar çıkarılabilir:

1. CLR(Clear)= 0 olduđunda Q = 0, Q' = 1 olur. CLR = 0 iken CLK, J ve K deđiřse de Q Ve Q' deđiřmez.
2. CLR = 1 olduđunda, J = 0, K = 1 olduđunda, bir sonraki negatif tetiklemede çıkıřlar Q = 0, Q' = 1 olur.
3. CLR = 1 olduđunda, J = 1, K = 0 olduđunda, bir sonraki negatif tetiklemede çıkıřlar Q = 1, Q' = 0 olur.
4. CLR = 1 olduđunda, J = 0, K = 0 olduđunda, çıkıřlar önceki deđerlerini korurlar.
5. CLR = 1 olduđunda, J = 1, K = 1 olduđunda, bir sonraki negatif tetiklemede çıkıřlar önceki deđerlerinin tersi olur.

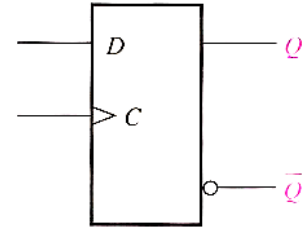
CLR	CLK	J	K	Q	Q̄
L	X	X	X	L	H
H	↓	L	H	L	H
H	↓	H	L	H	L
H	↓	L	L	Deđiřiklik yapmaz	
H	↓	H	H	Çıkıřları tersler(toggle)	

Yandaki grafikte 74HC73 entegresine, CLR = 1 durumundayken, J, K ve CLOCK sinyalleri girilmiř, Q çıkıřı elde edilmiřtir.



D Flip-flop

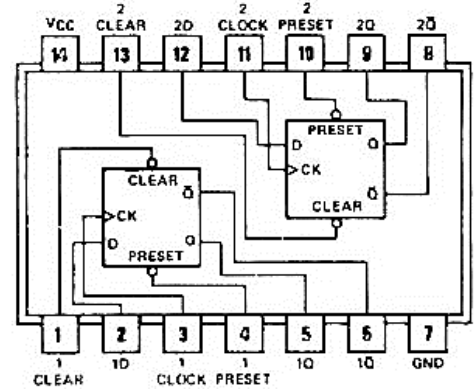
D (Data) tipi flip-flop, bilgi kaydetmede kullanılan bir flip-floptur ve genellikle register (kaydedici) devrelerinde kullanılır. D tipi flip-flop, JK tipi flip-flopa bir "Değil" kapısı eklenip girişleri birleştirilerek elde edilir. D tipi flip-flopta giriş ne ise, her gelen tetikleme palsi ile çıkışı o olur. Şekilde yükselen kenar tetiklemeli D flip-flop lojik sembolü gösterilmiştir.



74HC74 D Flip-flop Entegresi

Şekilde 74HC74 entegresinin pin diyagramı verilmiştir. Entegrede iki tane birbirinden bağımsız D flip-flopu vardır. Pozitif kenar tetiklemeli flip-floplardır. Sadece CLOCK girişinin alçaktan (L, 0) yükseğe (H, 1) geçişinde çıkışlar değişebilmektedir.

CLEAR temizle, sıfırla manasındadır. PRESET kur, ayarla manasındadır. CLEAR ve PRESET girişleri deşillenmiştir. CLEAR = 0 olduğunda Q çıkışı sıfırlanır. Bu durumda $Q = 0$, $Q' = 1$ 'dir. PRESET = 0 olduğunda Q çıkışı kurulur. Bu durumda $Q = 1$, $Q' = 0$ 'dir. Eğer CLEAR = 0 ve PRESET = 0 olursa $Q = 1$, $Q' = 1$ olur. D(Data) ve CLOCK girişleriyle çıkışlar arasındaki bağlantı incelenmek istendiğinde CLEAR ve PRESET girişleri 1 olmalıdır yani 5V'a bağlanmalıdır.

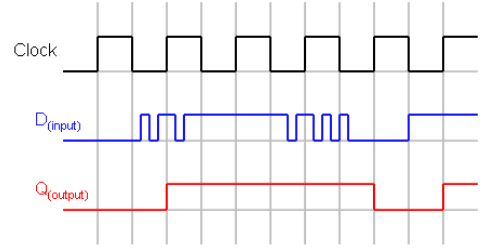


Aşağıdaki doğruluk tablosu incelenirse şu sonuçlar çıkarılabilir:

1. PRESET = 0, CLEAR = 1 olduğunda $Q = 1$, $Q' = 0$ olur. Bu durumda CLOCK ve D farklı değerler olsa da Q ve Q' değişmez.
2. PRESET = 1, CLEAR = 0 olduğunda $Q = 0$, $Q' = 1$ olur. Bu durumda CLOCK ve D farklı değerler olsa da Q ve Q' değişmez.
3. PRESET = 0, CLEAR = 0 olduğunda $Q = 1$, $Q' = 1$ olur. Bu durumda CLOCK ve D farklı değerler olsa da Q ve Q' değişmez.
4. PRESET = 1, CLEAR = 1 olduğunda ve D = 1 olduğunda, bir sonraki pozitif tetiklemede çıkışlar $Q = 1$, $Q' = 0$ olur.
5. PRESET = 1, CLEAR = 1 olduğunda ve D = 0 olduğunda, bir sonraki pozitif tetiklemede çıkışlar $Q = 0$, $Q' = 1$ olur.
6. PRESET = 1, CLEAR = 1 olduğunda ve CLOCK = 0 veya CLOCK = 1'de sabit duruyorsa D girişi çıkışları etkilemez. Çıkışlar önceki durumlarında değişmeden dururlar. Çünkü bu entegredeki flip-floplar pozitif kenar tetiklemelidir. Yalnızca CLOCK 0'dan 1'e geçerken D girişine bakılır.

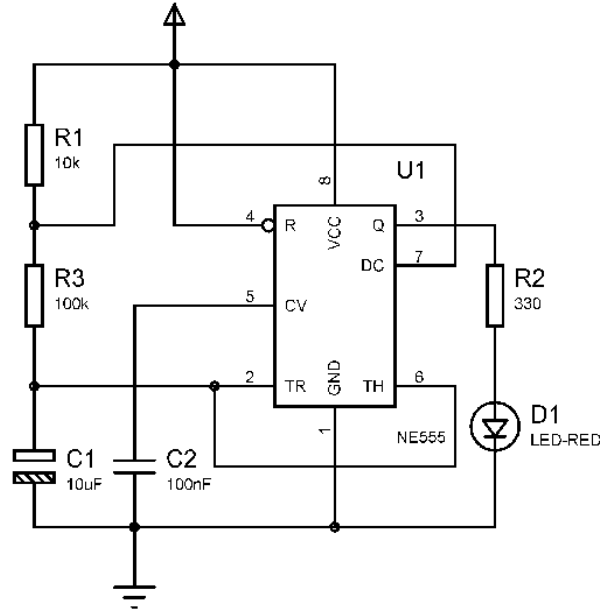
PRESET	CLEAR	CLOCK	D	Q	\bar{Q}
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	1	1
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	0	X	Q0	$\bar{Q}0$
1	1	1	X	Q0	$\bar{Q}0$

Verilen grafikte 74HC74 entegresine, PRESET = 1 ve CLEAR = 1 durumundayken, D ve CLOCK sinyalleri girilmiş, Q çıkışı elde edilmiştir.



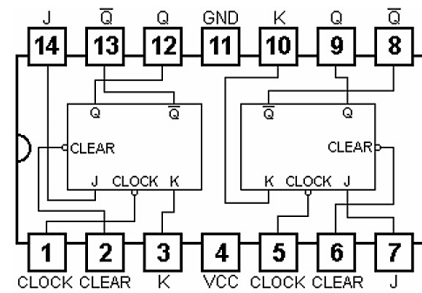
Deneyin Yapılışı

Şematiği verilen saat darbesi üretici devreyi kurun. Çalışmasını kontrol edin.

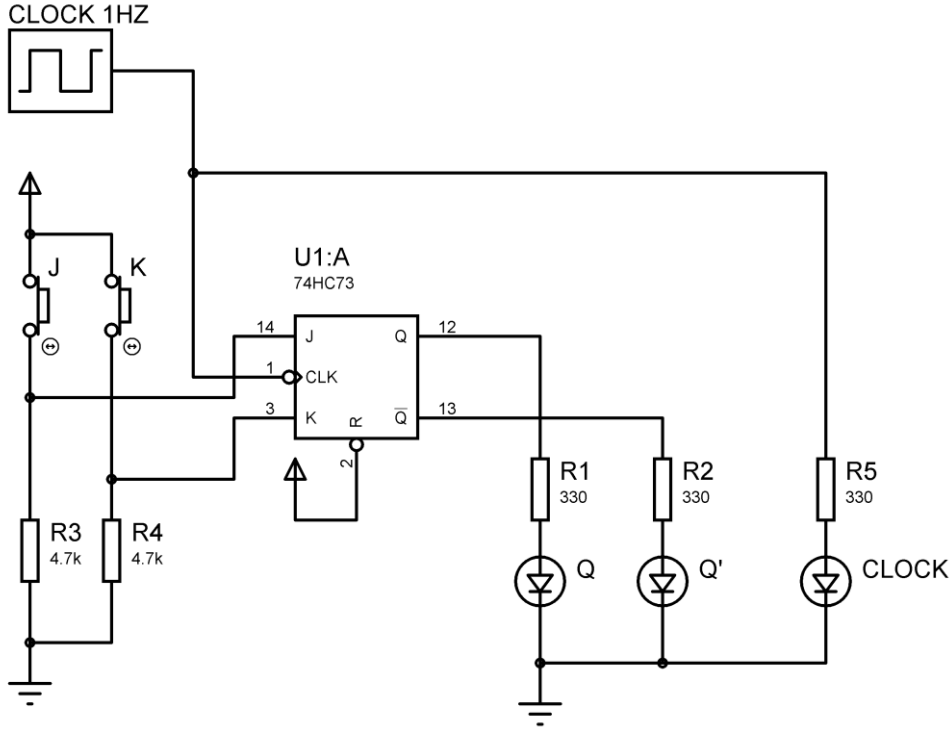


JK Flip-flop devresi

- 74HC73 entegresini breadboarda yerleştirip yalnız bir flip-flop için giriş-çıkış bağlantılarını yapın (Sayfa 5'teki devre).
 - J ve K girişlerini sırasıyla switchlere bağlayın.
 - CLEAR girişini 5V'a bağlayarak "lojik 1" yapın.
 - CLOCK girişine 555 entegresiyle kurduğunuz devrenin çıkışını (**pin 3**) bağlayın.
 - Q ve \bar{Q} çıkışlarına sırasıyla led bağlantılarını yapın.
 - VCC ve GND bağlantılarını yapın.
- Çıkışları gözlemleyip tabloya kaydedin.



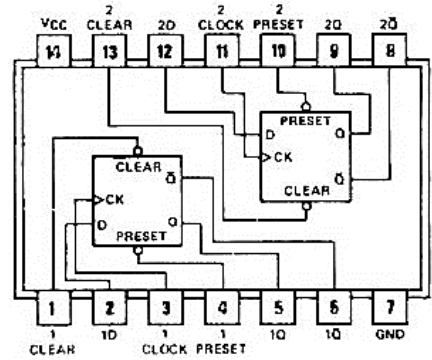
Girişler			Çıkışlar	
CLOCK	J	K	Q	\bar{Q}
Düşen	1	0		
Düşen	0	0		
Düşen	0	1		
Düşen	0	0		
Düşen	1	1		
Düşen	1	1		



74H73 JK Flip-flop devresi bağlantıları

D Flip-flop devresi

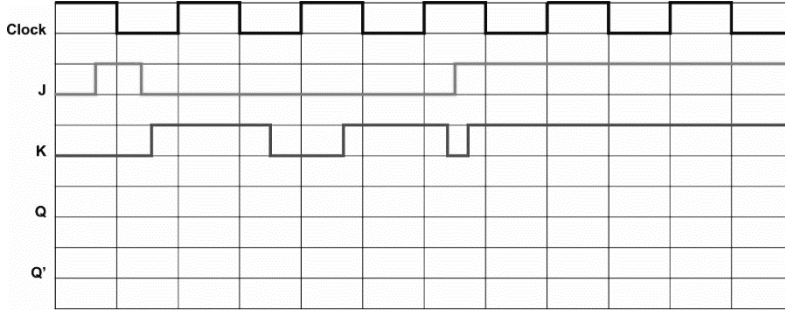
- 74HC74 entegresini breadboarda yerleştirip yalnız bir flip-flop için giriş-çıkış bağlantılarını yapın.
 - D girişini switch'e bağlayın.
 - CLEAR ve PRESET girişini 5V'a bağlayarak "lojik 1" yapın.
 - CLOCK girişine 555 entegresiyle kurduğunuz devrenin çıkışını (**pin 3**) bağlayın. Clock için de led bağlayın.
 - Q ve \bar{Q} çıkışlarına sırasıyla led bağlantılarını yapın.
 - VCC ve GND bağlantılarını yapın.
- Çıkışları gözlemleyip tabloya kaydedin.



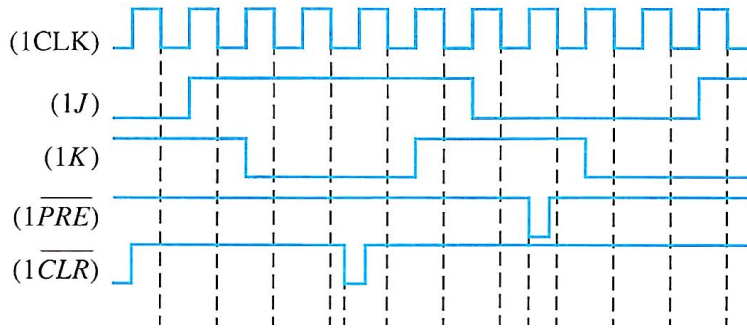
Girişler		Çıkışlar	
CLOCK	D	Q	\bar{Q}
Yükselen	0		
Yükselen	1		

Deney Sonuç Soruları

1. Pozitif (yükselen) kenar tetiklemesi, negatif (düşen) kenar tetiklemesi nedir?
2. RS, JK ve D flip-flop devrelerinin Proteus çizimlerini deneye göre yapınız.
3. 74HC73 JK flip-flop çıkışlarını, aşağıdaki giriş sinyallerine göre çiziniz?
(CLR = 1 durumunda)



4. Düşen kenar tetiklemeli bir JK flip-flopu Q çıkışını, aşağıdaki giriş sinyallerine göre çiziniz.



5. 74HC74 D flip-flopu çıkışlarını, aşağıdaki giriş sinyallerine göre çiziniz.

